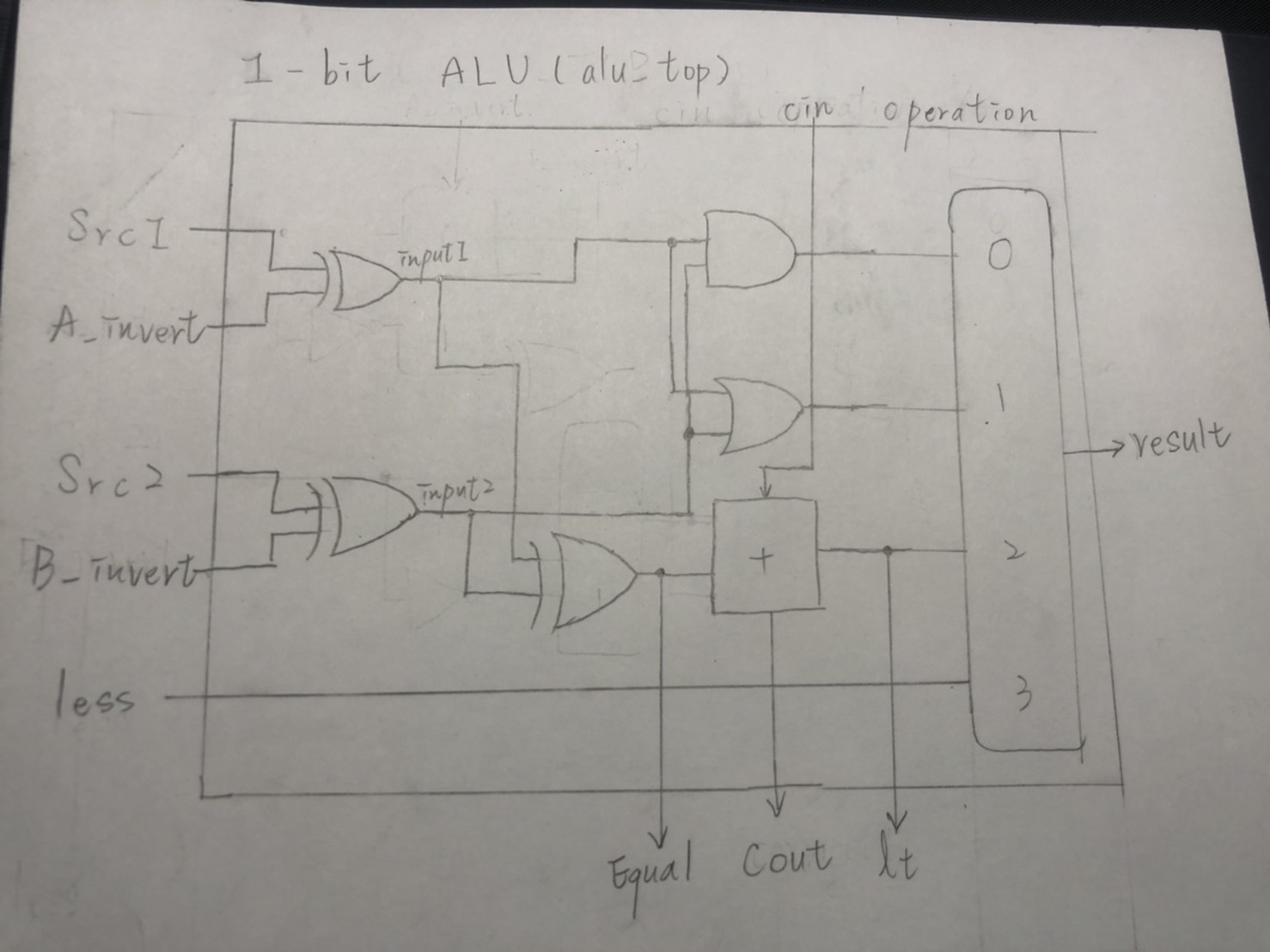
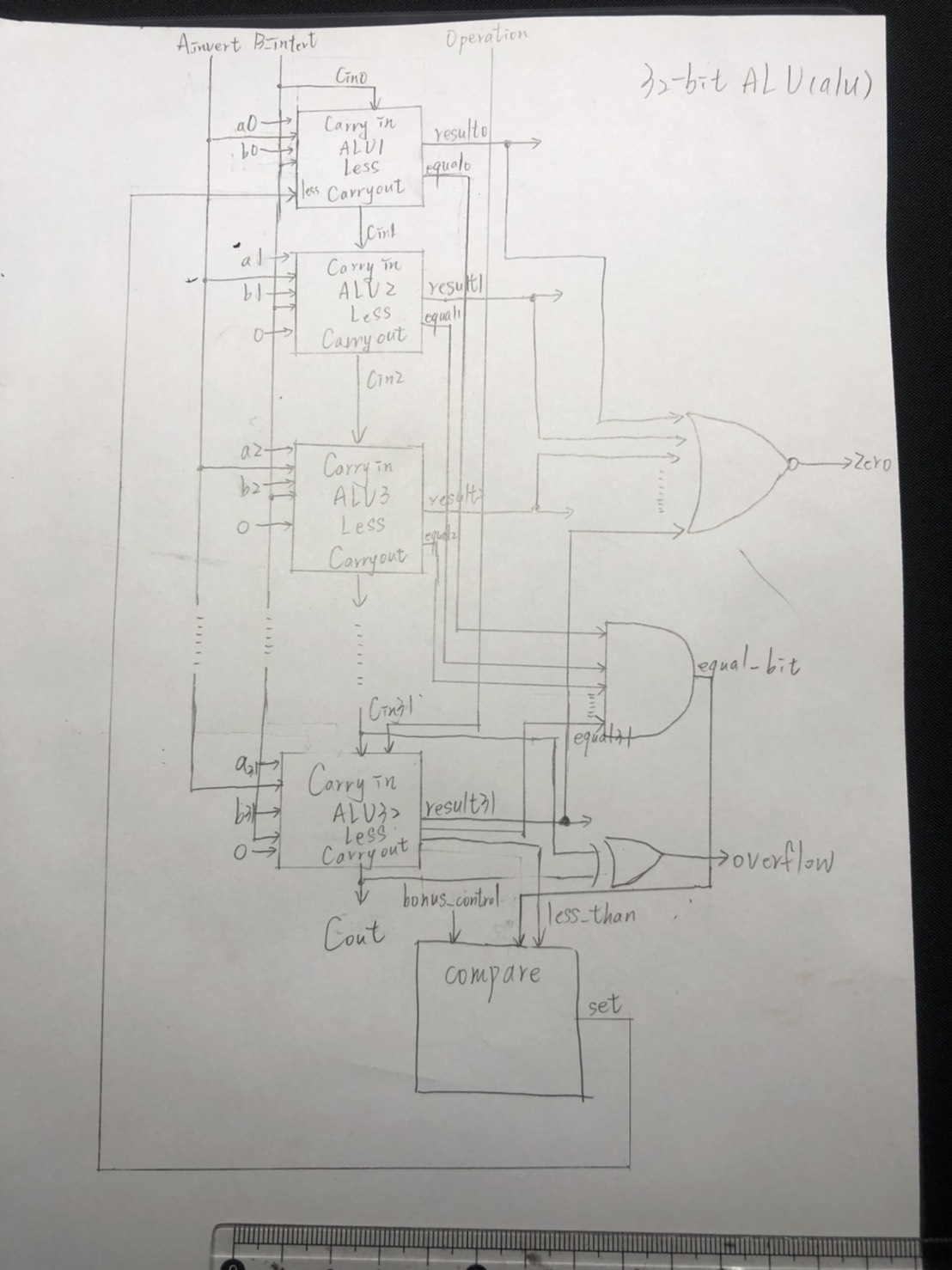
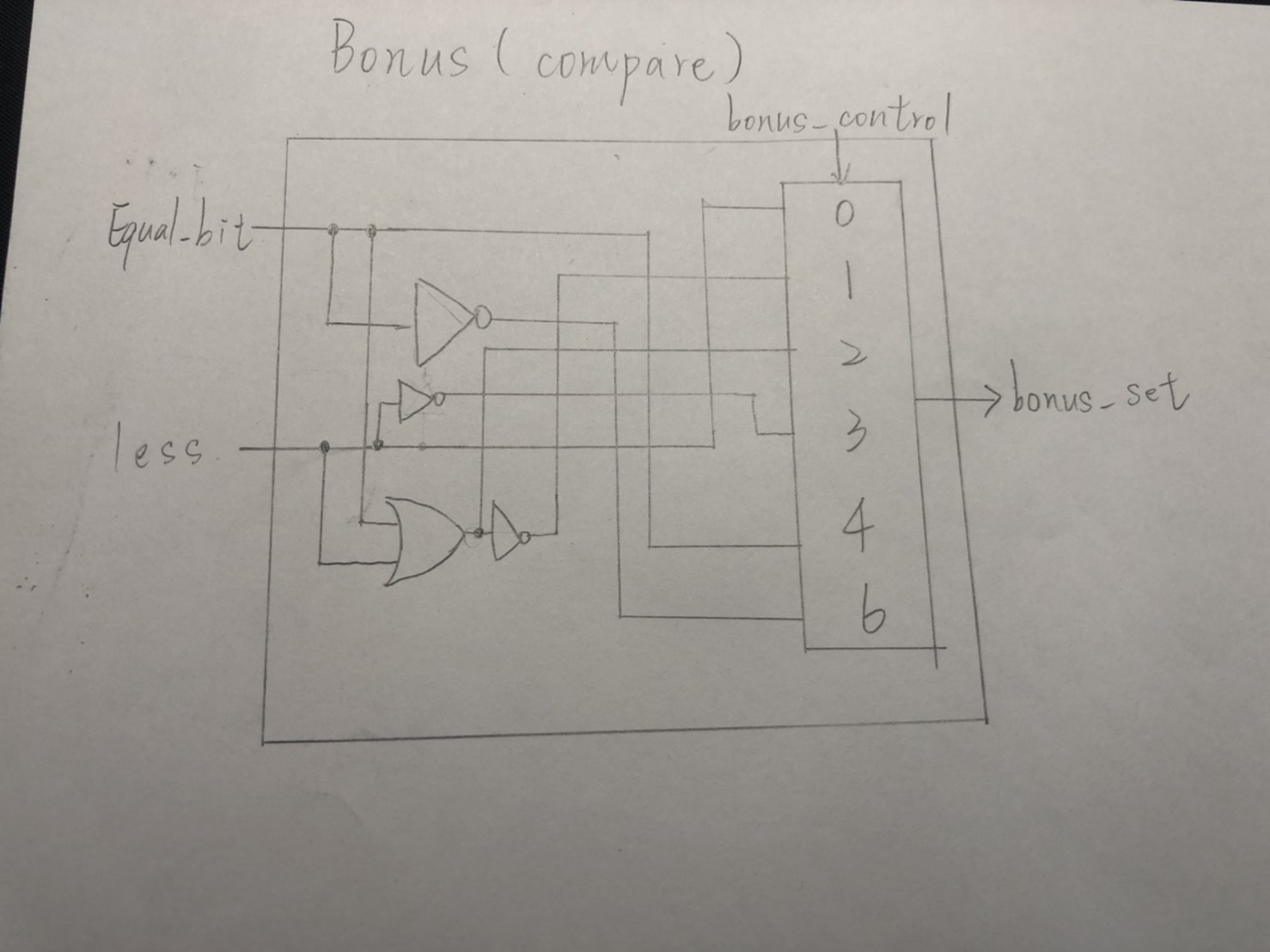
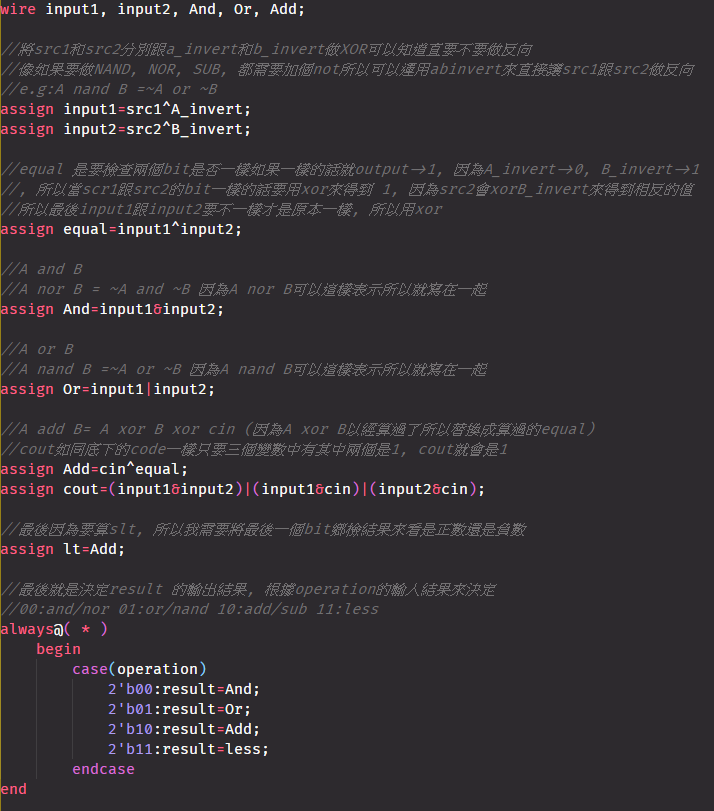
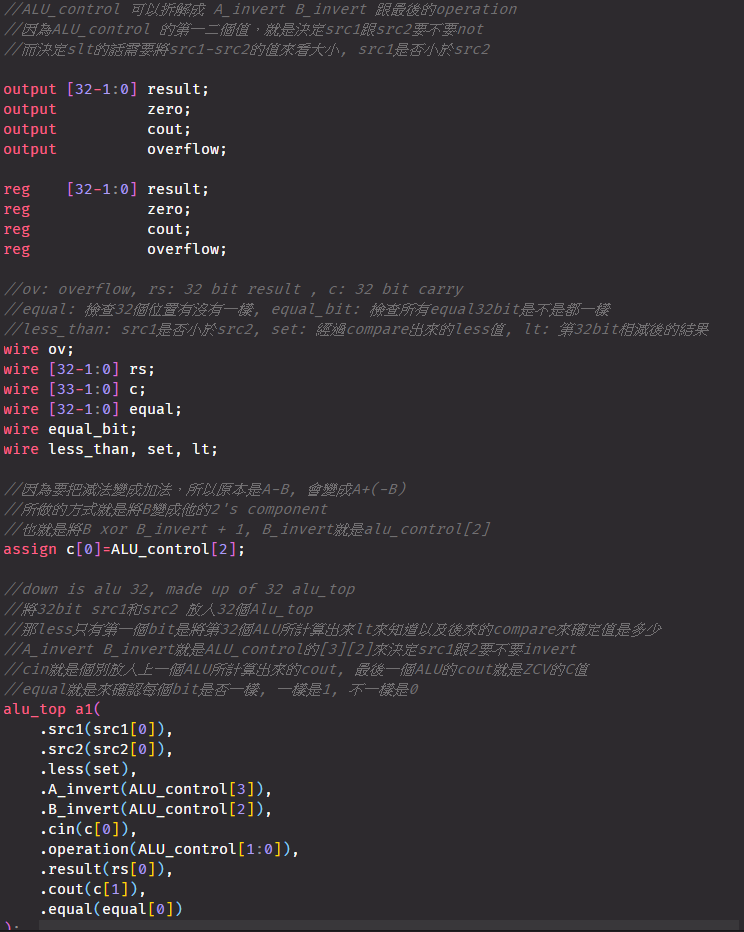
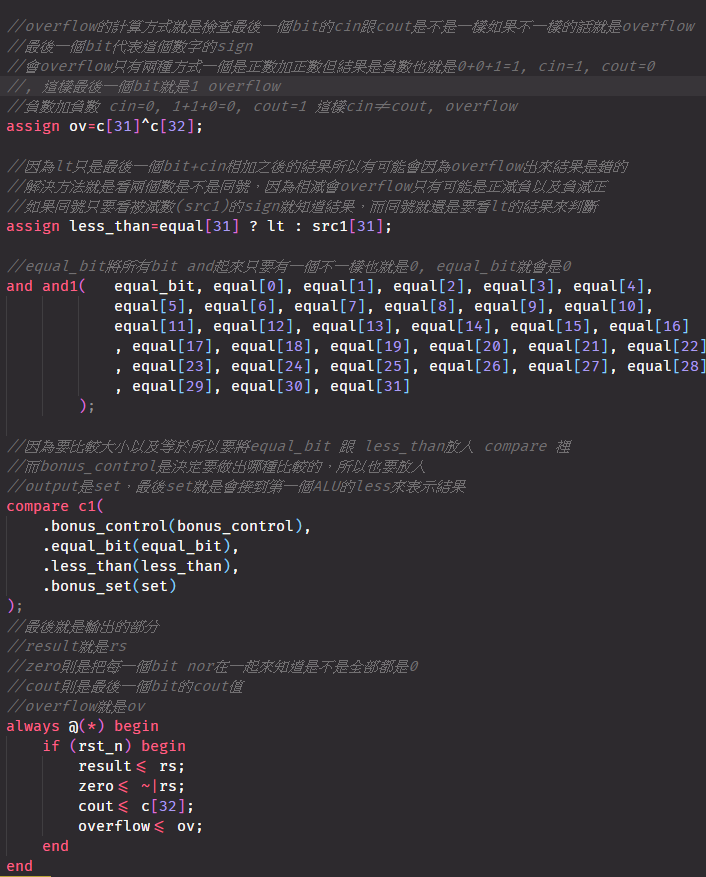
Computer Organization Lab 1: 32bit ALU

0716033 周俊毅

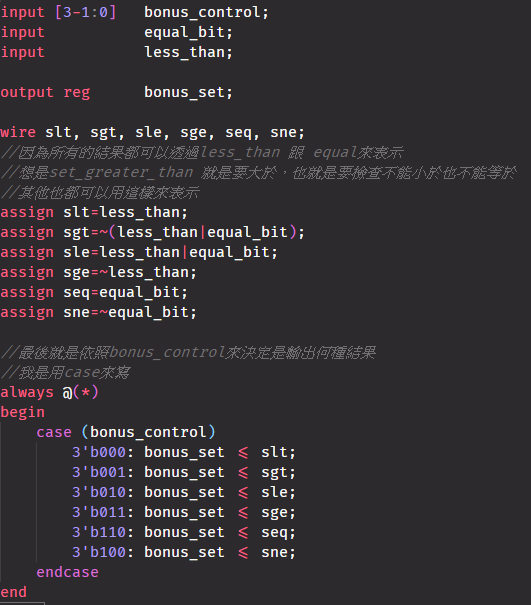
1. Architecture diagram，以下是我設計的32bit ALU的Architecture diagram 分別是32bit ALU, 1bit ALU, Bonus



1. 先從最基本的1bit ALU開始input 有src1的一個bit, src2的一個bit, less, A\_invert:ALU\_control[3], B\_invert: ALU\_control[2], cin, operation , output有1bit result cout, equal: 確認每個bit是否一樣, lt:將數字相減結果輸出(只會用於第32個ALU)下面是code的說明接下來是32bit ALU, 主要架構是32個1 bit ALU和一個compare，來做出bonus， 比較特別是第一個ALU的less值是經過compare出來的值，其他都是0因為最後出result=00………..001這樣，所以其他ALU less都是0，因為要檢查每個bit是否一樣所以要多輸出一個equal下一個是後面的關於輸出以及bonus的部分

再來是compare的部分，也就是bonus的部分input equal\_bit: 每個bit是否都依樣

Less\_than :有沒有小於



1. Commands for executing your source codes:

iverilog -o bonus.vvp testbench.v alu.v alu\_top.v compare.v

vvp bonus.vvp

1. Problems encountered and solutions:

我遇到最大的問題在於搞懂verilog這個語言其它到是還好，還有在用test的時候用了沒有把註解刪掉，其它都沒什麼問題。